

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 04 月 08 日
Application Date

申請案號：092107985
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 5 月 21 日
Issue Date

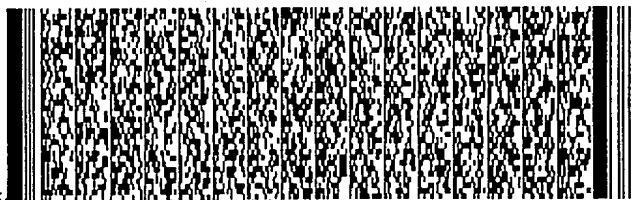
發文字號：09220496500
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	降低溝槽深寬比的方法
	英 文	Method of Reducing Trench Aspect Ratio
二、 發明人 (共4人)	姓 名 (中文)	1. 吳昌榮 2. 陳逸男 3. 吳國堅
	姓 名 (英文)	1. Chang-Rong Wu 2. Yi-Nan Chen 3. Kuo-Chien Wu
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 台北縣板橋市民生路一段28-9號26樓 2. 台北市北投區義理街63巷2弄22號1樓 3. 苗栗縣苗栗市中苗里5鄰中正路547號
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	4. 廖鴻昌
	姓名 (英文)	4. Hung-Chang Liao
	國籍 (中英文)	4. 中華民國 TW
	住居所 (中文)	4. 台北縣三重市長生街41號
	住居所 (英文)	4.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：降低溝槽深寬比的方法)

本發明揭示一種降低溝槽深寬比的方法。提供具有一溝槽之一基底。然後，利用高密度電漿化學氣相沉積法形成一順應的富矽氧化層於溝槽的表面上。然後，利用高密度電漿化學氣相沉積法，形成一順應的第一氧化層於富矽氧化層上。然後，利用低壓化學氣相沉積法，形成一順應的第二氧化層於第一氧化層上。然後，非等向性蝕刻富矽氧化層、第一氧化層與第二氧化層，而形成剩餘的富矽氧化層、第一氧化層與第二氧化層於溝槽的側壁上。然後，等向性蝕刻去除剩餘的第二氧化層、部分剩餘的第一氧化層以及部分剩餘的富矽氧化層，而能降低溝槽深寬比。

伍、(一)、本案代表圖為：第6圖。

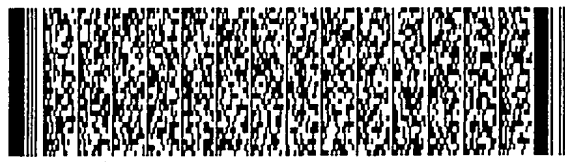
(二)、本案代表圖之元件代表符號簡單說明：

200~半導體基底；

205~遮蔽層；

六、英文發明摘要 (發明名稱：Method of Reducing Trench Aspect Ratio)

A method of reducing trench aspect ratio. A substrate having a trench is provided. A conformal Si-rich oxide layer is formed on the surface of the trench by HDPCVD. A conformal first oxide layer is formed on the Si-rich oxide layer by HDPCVD. A conformal second oxide layer is formed on the first oxide layer by LPCVD. Part of the Si-rich oxide layer, the second oxide layer and the first oxide



四、中文發明摘要 (發明名稱：降低溝槽深寬比的方法)

210~ 墊氧化層；

220~ 氮化矽層；

310~ 槽溝；

410'~ 剩餘的富矽氧化矽層；

420'~ 剩餘的第一氧化矽層。

六、英文發明摘要 (發明名稱：Method of Reducing Trench Aspect Ratio)

layer are removed by anisotropic etching to form a oxide spacer composed of a remaining Si-rich oxide layer, a remaining second oxide layer and a remaining first oxide layer. The remaining second oxide layer, part of the remaining first oxide layer and part of the Si-rich oxide layer are removed by BOE. Thus, parts of the remaining first and Si-rich oxide layers are formed on the lower



四、中文發明摘要 (發明名稱：降低溝槽深寬比的方法)

六、英文發明摘要 (發明名稱：Method of Reducing Trench Aspect Ratio)

surface of the trench, thereby reducing the trench aspect ratio.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

【發明所屬技術領域】

本發明係有關於半導體積體電路的製程，且特別是有關於一種降低溝槽深寬比(reduce the trench aspect ratio)的方法。

【先前技術】

近年來，隨著半導體積體電路製造技術的發展，晶片中所含元件的數量不斷增加，元件的尺寸也因積集度的提昇而不斷地縮小，生產線上使用的線路寬度已進入了次微米的細小範圍。然而，無論元件尺寸如何縮小化，在晶片中各個元件之間仍必須有適當地絕緣或隔離，方可得到良好的元件性質。這方面的技術一般稱為元件隔離技術(device isolation technology)，其主要目的係在各元件之間形成隔離物，並且在確保良好隔離效果的情況下，儘量縮小隔離物的區域，以空出更多的晶片面積來容納更多的元件。

在各種元件隔離技術中，局部矽氧化方法(LOCOS)和溝槽隔離(isolation trench)製程是最常被採用的兩種技術，尤其後者具有隔離區域小和完成後仍保持基底平坦性等優點，更是近來頗受重視的半導體製造技術。

目前在業界的製程中，為了提昇溝槽之沉積技術之步驟覆蓋能力，常使用一種高密度電漿化學氣相沈積(HDPCVD)技術藉以改善氧化層(即絕緣層)填入溝槽的效果。為了進一步清楚說明該技術的內容，以下即參照第1A



五、發明說明 (2)

至1B圖，說明其製造流程。

首先，請參見第1A圖，在一半導體基底10上形成一遮蔽層，例如是在一矽晶圓表面上，以化學氣相沈積法(CVD)或熱氧化成長法形成一厚度介於 50 \AA ~ 150 \AA 的墊氧化層(pad oxide layer)12，然後在墊氧化層12表面上，以CVD法沈積一厚度介於 800 \AA ~ 1500 \AA 的氮化矽層14，二者共同構成遮蔽層。接著，以微影顯像(photolithography)和蝕刻程序，定義出氮化矽層14和墊氧化層12的圖案，用以露出半導體基底10欲形成元件隔離區的部分。

其次，請參見第1B圖，利用該氮化矽層14和墊氧化層12的圖案當作罩幕，施行一蝕刻程序而在半導體基底10中形成溝槽15。然後，以熱氧化程序(thermal oxidation)成長一薄氧化層16，覆蓋在溝槽15的底部和側壁上，用以當作襯裡(liner)，其厚度約為 $180\sim 220\text{ \AA}$ 。接著，施行高密度電漿化學氣相沈積程序，例如使用 O_2 和 SiH_4 當作反應物，而沈積一二氧化矽層18，並填滿溝槽15，得到如第1B圖所示之構造。

然而，請參見第1C圖，第1C圖係習知製程方法的缺點示意圖。當該溝槽15的開口寬度越小且深寬比越大時，例如當該溝槽15的深寬比大於4時，則目前的高密度電漿化學氣相沈積程序所沉積的二氧化矽層19就很容易會有孔洞20的發生，而影響淺溝槽隔離區的絕緣特性。

【發明內容】

五、發明說明 (3)

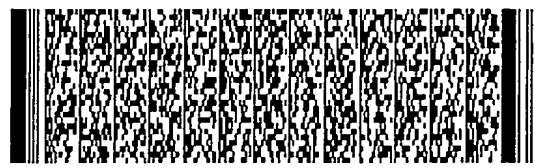
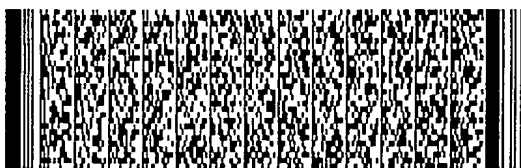
有鑑於此，本發明之目的係提供一種降低溝槽深寬比的方法，包括下列步驟：

- (a) 提供一基底；
- (b) 形成一溝槽於該基底中；
- (c) 形成一順應的第一絕緣層於該溝槽的表面上；
- (d) 形成一順應的第二絕緣層於該第一絕緣層上；
- (e) 形成一順應的第三絕緣層於該第二絕緣層上；
- (f) 非等向性蝕刻該等第一、第二與第三絕緣層，而形成一剩餘的第一絕緣層於該溝槽的側壁上，一剩餘的第二絕緣層於該第一絕緣層上，以及一剩餘的第三絕緣層於該第二絕緣層上；以及

(g) 使用一蝕刻溶液對該等剩餘的第一、第二與第三絕緣層進行一蝕刻程序，而蝕刻去除該剩餘的第三絕緣層、部分該剩餘的第二絕緣層以及部分該剩餘的第一絕緣層。

其中該蝕刻溶液對該第一絕緣層具有一第一蝕刻速率，該蝕刻溶液對該第二絕緣層具有一第二蝕刻速率，該蝕刻溶液對該第三絕緣層具有一第三蝕刻速率。還有，該第一蝕刻速率小於該第二蝕刻速率，且該第二蝕刻速率小於該第三蝕刻速率。

根據本發明，使得單一U型槽溝變成三U型槽溝，而能夠降低溝槽深寬比，提升後續絕緣層之填充能力，使更容易達成無孔洞(void-free)溝槽隔離區之沉積製程，而有利於形成無孔洞缺陷的溝槽隔離區。



五、發明說明 (4)

因此，本發明的方法可以降低溝槽深寬比，而有利於形成無孔洞缺陷的溝槽隔離區。

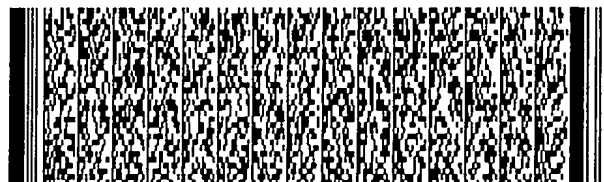
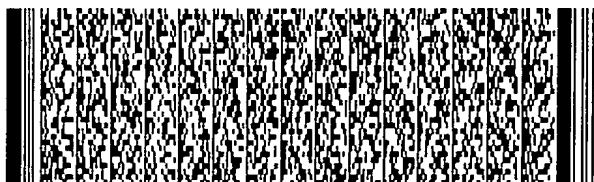
為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

首先，請參見第2圖，在一半導體基底200上形成一遮蔽層(或稱墊堆疊，pad stack)205，其例如是在一矽晶圓表面上，以CVD法或熱氧化成長法形成一厚度例如是100 Å的墊氧化層210，而該墊氧化層210例如是SiO₂層，然後在該墊氧化層210表面上，以化學氣相沉積法(CVD)法沈積一厚度例如是900 Å的氮化矽層220。接著，以微影蝕刻製程，定義出由該氮化矽層220和該墊氧化層210圖案所構成的該遮蔽層205，用以露出半導體基底200欲形成元件隔離區的部分。

其次，請參見第3圖，利用該遮蔽層205當作罩幕(mask)，施行一蝕刻程序而在該基底200中形成一溝槽310，其深度例如是介於2600 Å和5000 Å之間。

之後，可更包括進行一襯裡層製程(linear process)，例如通常以熱氧化法順應性地形成一薄氧化層(未圖示)於該溝槽310的底部和側壁上，其厚度約為180 Å~220 Å。而該薄氧化層例如是SiO₂層，用以當作襯裡(liner)層。為了方便說明本發明，在此省略該襯裡層之



五、發明說明 (5)

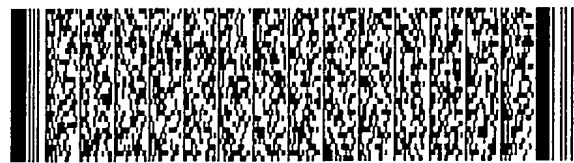
圖示與詳細說明。

其次，請參見第4圖，利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的富矽氧化矽層(Si-rich oxide layer)410於該溝槽310的表面上，其中該富矽氧化矽層410的厚度係50~100埃。

其次，仍請參見第4圖，利用高密度電漿化學氣相沉積法，形成一順應的第一氧化矽層420於該富矽氧化矽層410上，其中該第一氧化矽層420可以是二氧化矽(SiO_2)層，其厚度約係100~120埃。

其次，仍請參見第4圖，利用以TEOS(四乙氧基矽烷，Tetra-Ethyl-Ortho-Silicate)為反應氣體來源的低壓化學氣相沉積法(LPCVD)，形成一順應的第二氧化矽層430於該第一氧化矽層420上，其中該第二氧化矽層430可以是二氧化矽(SiO_2)層，其厚度約係100~150埃。

其次，請參見第5圖，非等向性蝕刻該富矽氧化矽層410、該第一氧化矽層420與該第二氧化矽層430，而形成一剩餘的富矽氧化矽層410'於該溝槽310的側壁上，一剩餘的該第一氧化矽層420'於該剩餘的富矽氧化矽層410'上，以及一剩餘的第二氧化矽層430'於該剩餘的該第一氧化矽層420'上；也就是說，此步驟係形成一氧化間隙壁(oxide spacer)於溝槽310表面之蝕刻製程，該氧化間隙壁包含該等剩餘的富矽氧化矽層410'、第一氧化矽層420'與第二氧化矽層430'。其中，該非等向性蝕刻例如是含氟化碳氣體電漿的乾蝕刻。此外，這裡要特別注意的是，該



五、發明說明 (6)

等剩餘的富矽氧化矽層410'、第一氧化矽層420'與第二氧化矽層430'之高度係不高於該矽基底200之上表面。

其次，請參見第6圖，使用一緩衝氧化矽蝕刻液(BOE)對該等剩餘的富矽氧化矽層410'、第一氧化矽層420'與第二氧化矽層430'進行一蝕刻程序，並配合時間模式(time mode，約蝕刻30秒)蝕刻去除該剩餘的第二氧化矽層430'、部分該剩餘的第一氧化矽層420'以及部分該剩餘的富矽氧化矽層410'，而使得部分該剩餘的第一氧化矽層420'以及部分該剩餘的富矽氧化矽層410'形成於溝槽310下方表面上，因而降低了溝槽310之深寬比。

其中，該BOE溶液對該富矽氧化矽層430的蝕刻速率約係200 Å/分，該BOE溶液對該第一氧化矽層420的蝕刻速率約係400 Å/分，而該BOE溶液對該第二氧化矽層430的蝕刻速率約係800 Å/分。此外，該緩衝氧化矽蝕刻液(BOE)的組成係由氟化銨(40%NH₄F)、氫氟酸(49%HF)以及純水(DI)所組成，其體積比例約係5:1:48。如此，根據上述本發明之方法，即可在溝槽310中形成三層U型(triple-U shape)之小溝槽，因而降低了槽溝310之深寬比。

在此舉一例，用以驗證本發明方法降低槽溝深寬比之效果。請參見第6圖，經由上述本發明製程之後，假設：
 $p=1000\text{ Å}$ 、 $w1=500\text{ Å}$ 、 $w2=700\text{ Å}$ 、 $w3=800\text{ Å}$ 、 $h1=1100\text{ Å}$ 、 $h2=100\text{ Å}$ 、 $h3=2700\text{ Å}$

原始溝槽深寬比

$$AR=(h1+h2+h3)/w3=3900/800=4.87$$



五、發明說明 (7)

經由本發明製程之後的溝槽深寬比

$$\begin{aligned} AR' &= AR * (w3 * h1 + w2 * h2 + w1 * h3) / w3 * (h1 + h2 + h3) \\ &= 4.87 * [(800 * 1100 + 700 * 100 + 500 * 2700) / (800 * 3900)] \\ &= 4.87 * 0.737 \\ &= 3.59 \end{aligned}$$

因此，以上證明了本發明製程降低了槽溝深寬比。

然後，請參見第7圖，以高密度化學氣相沉積法或TEOS化學氣相沉積法形成一例如是SiO₂層的絕緣層710填滿該溝槽310，並且延伸至該氮化矽層220上。這裡要特別說明的是，由於上述本發明方法降低該溝槽310原來的深寬比，使更容易達成無孔洞(void-free)溝槽隔離區之沉積製程。

之後，請參見第8圖，例如使用化學機械研磨(CMP)之平坦化製程去除部分該絕緣層710而形成平坦化的該絕緣層710'，並以該氮化矽層220為該平坦化製程之終點。

接著，請參見第9圖，例如以磷酸溶液去除該氮化層220，以氟酸溶液去除該墊氧化層210，而形成無孔洞之該溝槽隔離區910。

【本發明特徵及優點】

本發明特徵在於：利用高密度電漿化學氣相沉積法形成一順應的富矽氧化層於溝槽的表面上。然後，利用高密度電漿化學氣相沉積法，形成一順應的第一氧化層於富矽氧化層上。然後，利用低壓化學氣相沉積法，形成一順應

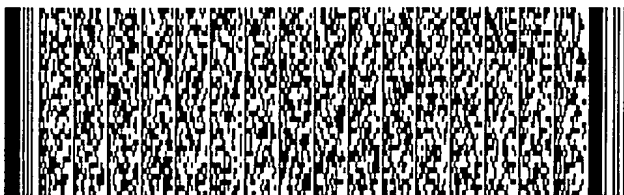


五、發明說明 (8)

的第二氧化層於第一氧化層上。然後，非等向性蝕刻富矽氧化層、第一氧化層與第二氧化層，而形成剩餘的富矽氧化層、第一氧化層與第二氧化層於溝槽的側壁上。然後，等向性蝕刻去除剩餘的第二氧化層、部分剩餘的第一氧化層以及部分剩餘的富矽氧化層。

根據本發明，使得單一U型槽溝變成三U型槽溝，而能夠降低溝槽深寬比，提升後續絕緣層之填充能力，使更容易達成無孔洞(void-free)溝槽隔離區之沉積製程，而有利於形成無孔洞缺陷的溝槽隔離區。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A至1B圖係習知之形成溝槽隔離區的製造流程剖面示意圖；

第1C圖係習知之形成溝槽隔離區的缺點示意圖；

第2至9圖係本發明實施例之形成溝槽隔離區的製造流程剖面示意圖。

[符號說明]：

習知部分(第1A至1C圖)

- 10~半導體基底；
- 12~墊氧化層；
- 14~氮化矽層；
- 15~槽溝；
- 16~薄氧化層；
- 18、19~二氧化矽層；20~孔洞。

本案部分(第2至9圖)

- 200~半導體基底；
- 205~遮蔽層；
- 210~墊氧化層；
- 220~氮化矽層；
- 310~槽溝；
- 410~富矽氧化矽層；
- 410'~剩餘的富矽氧化矽層；
- 420~第一氧化矽層；



圖式簡單說明

420' ~ 剩餘的第一氧化矽層；

430 ~ 第二氧化矽層；

430' ~ 剩餘的第二氧化矽層；

710 ~ 絕緣層；

710' ~ 經平坦化的絕緣層；

910 ~ 溝槽隔離區。



六、申請專利範圍

1. 一種降低溝槽深寬比的方法，包括下列步驟：

提供一基底；

形成一溝槽於該基底中；

形成一順應的第一絕緣層於該溝槽的表面上；

形成一順應的第二絕緣層於該第一絕緣層上；

形成一順應的第三絕緣層於該第二絕緣層上；

非等向性蝕刻該等第一、第二與第三絕緣層，而形成一剩餘的第一絕緣層於該溝槽的側壁上，一剩餘的第二絕緣層於該第一絕緣層上，以及一剩餘的第三絕緣層於該第二絕緣層上；以及

使用一蝕刻溶液對該等剩餘的第一、第二與第三絕緣層進行一蝕刻程序，而蝕刻去除該剩餘的第三絕緣層、部分該剩餘的第二絕緣層以及部分該剩餘的第一絕緣層；

其中該蝕刻溶液對該第一絕緣層具有一第一蝕刻速率，該蝕刻溶液對該第二絕緣層具有一第二蝕刻速率，該蝕刻溶液對該第三絕緣層具有一第三蝕刻速率；

其中該第一蝕刻速率小於該第二蝕刻速率，且該第二蝕刻速率小於該第三蝕刻速率。

2. 如申請專利範圍第1項所述之降低溝槽深寬比的方法，其中該等剩餘的第一、第二與第三絕緣層之高度係不高於該基底之表面。

3. 一種降低溝槽深寬比的方法，包括下列步驟：

提供一基底；

形成一溝槽於該基底中；



六、申請專利範圍

利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的富矽氧化層於該溝槽的表面上；

利用高密度電漿化學氣相沉積法，形成一順應的第一氧化層於該富矽氧化層上；

利用低壓化學氣相沉積法(LPCVD)，形成一順應的第二氧化層於該第一氧化層上；

非等向性蝕刻該富矽氧化層、該第一氧化層與該第二氧化層，而形成一剩餘的富矽氧化層於該溝槽的側壁上，一剩餘的該第一氧化層於該剩餘的富矽氧化層上，以及一剩餘的第二氧化層於該剩餘的該第一氧化層上；以及

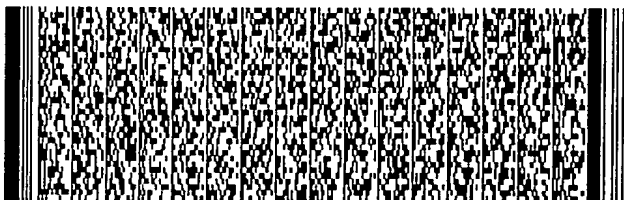
使用一蝕刻溶液對該等剩餘的富矽氧化層、第一氧化層與第二氧化層進行一蝕刻程序，而蝕刻去除該剩餘的第二氧化層、部分該剩餘的第一氧化層以及部分該剩餘的富矽氧化層；

其中該蝕刻溶液對該富矽氧化層具有一第一蝕刻速率，該蝕刻溶液對該第一氧化層具有一第二蝕刻速率，該蝕刻溶液對該第二氧化層具有一第三蝕刻速率；

其中該第一蝕刻速率小於該第二蝕刻速率，且該第二蝕刻速率小於該第三蝕刻速率。

4. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中該等剩餘的富矽氧化層、第一氧化層與第二氧化層之高度係不高於該基底之表面。

5. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中形成該槽溝的步驟，包括：



六、申請專利範圍

形成一圖案化的遮蔽層於該基底表面上；以及
以該圖案化的遮蔽層為罩幕，蝕刻該基底而形成該溝槽於該基底中。

6. 如申請專利範圍第5項所述之降低溝槽深寬比的方法，其中該遮蔽層係包括一墊氧化層和一氮化矽層。

7. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中在形成該富矽氧化層之前，更包括順應性地形成一襯裡(linear)層於該溝槽的底部和側壁上。

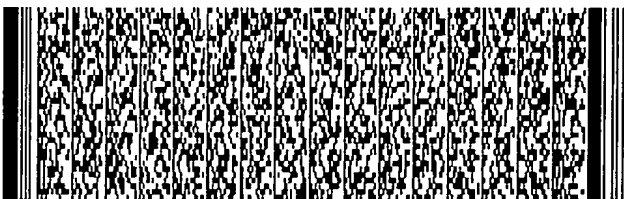
8. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中該第一氧化層係經由HDPCVD所形成之二氧化矽(SiO_2)層。

9. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中該第二氧化層係LPCVD TEOS所形成之二氧化矽(SiO_2)層。

10. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中該蝕刻溶液係緩衝氧化矽蝕刻液(BOE)。

11. 如申請專利範圍第10項所述之降低溝槽深寬比的方法，其中該緩衝氧化矽蝕刻液對該富矽氧化層的蝕刻速率係200埃/分，該緩衝氧化矽蝕刻液對該第一氧化層的蝕刻速率係400埃/分，而該緩衝氧化矽蝕刻液對該第二氧化層的蝕刻速率係800埃/分。

12. 如申請專利範圍第3項所述之降低溝槽深寬比的方法，其中該富矽氧化層的厚度係50~100埃，該第一氧化層的厚度係100~120埃，而該第二氧化層的厚度係100~150



六、申請專利範圍

埃。

13. 一種降低溝槽深寬比的方法，包括下列步驟：

提供一矽基底；

形成一溝槽於該矽基底中；

利用高密度電漿化學氣相沉積法(HDPCVD)，形成一順應的富矽氧化矽層於該溝槽的表面上，其中該富矽氧化矽層的厚度係50~100埃；

利用高密度電漿化學氣相沉積法，形成一順應的第一氧化矽層於該富矽氧化矽層上，其中該第一氧化矽層的厚度係100~120埃；

利用低壓化學氣相沉積法(LPCVD)，形成一順應的第二氧化矽層於該第一氧化矽層上，其中該第二氧化矽層的厚度係100~150埃；

非等向性蝕刻該富矽氧化矽層、該第一氧化矽層與該第二氧化矽層，而形成一剩餘的富矽氧化矽層於該溝槽的側壁上，一剩餘的該第一氧化矽層於該剩餘的富矽氧化矽層上，以及一剩餘的第二氧化矽層於該剩餘的該第一氧化矽層上；以及

使用一緩衝氧化矽蝕刻液(BOE)對該等剩餘的富矽氧化矽層、第一氧化矽層與第二氧化矽層進行一蝕刻程序，而蝕刻去除該剩餘的第二氧化矽層、部分該剩餘的第一氧化矽層以及部分該剩餘的富矽氧化矽層；

其中該BOE溶液對該富矽氧化矽層具有一第一蝕刻速率，該BOE溶液對該第一氧化矽層具有一第二蝕刻速率，



六、申請專利範圍

該BOE溶液對該第二氧化矽層具有一第三蝕刻速率；

其中該第一蝕刻速率小於該第二蝕刻速率，且該第二蝕刻速率小於該第三蝕刻速率。

14. 如申請專利範圍第13項所述之降低溝槽深寬比的方法，其中該等剩餘的富矽氧化矽層、第一氧化矽層與第二氧化矽層之高度係不高於該矽基底之表面。

15. 如申請專利範圍第13項所述之降低溝槽深寬比的方法，其中形成該槽溝的步驟，包括：

形成一圖案化的遮蔽層於該矽基底表面上；以及

以該圖案化的遮蔽層為罩幕，蝕刻該矽基底而形成該溝槽於該矽基底中。

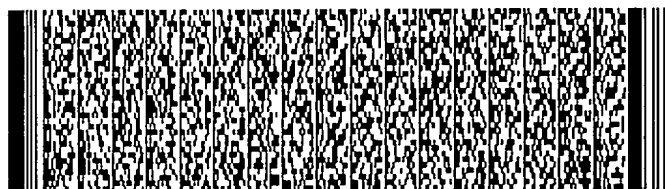
16. 如申請專利範圍第15項所述之降低溝槽深寬比的方法，其中該遮蔽層係包括一墊氧化層和一氮化矽層。

17. 如申請專利範圍第13項所述之降低溝槽深寬比的方法，其中在形成該富矽氧化矽層之前，更包括順應性地形成一襯裡(linear)層於該溝槽的底部和側壁上。

18. 如申請專利範圍第13項所述之降低溝槽深寬比的方法，其中該第一氧化矽層係經由HDPCVD所形成之二氧化矽(SiO_2)層。

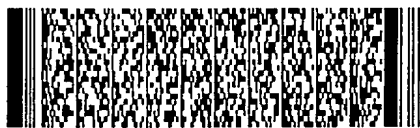
19. 如申請專利範圍第13項所述之降低溝槽深寬比的方法，其中該第二氧化層係LPCVD TEOS所形成之二氧化矽(SiO_2)層。

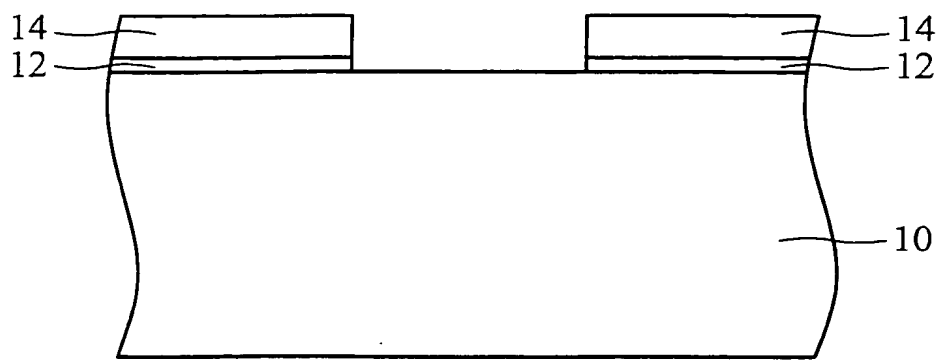
20. 如申請專利範圍第13項所述之降低溝槽深寬比的方法，其中該緩衝氧化矽蝕刻液對該富矽氧化層的蝕刻速



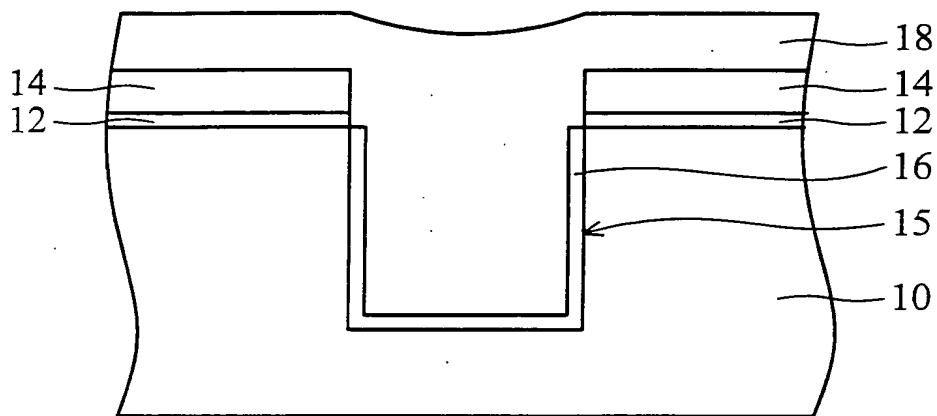
六、申請專利範圍

率係200埃/分，該緩衝氧化矽蝕刻液對該第一氧化層的蝕刻速率係400埃/分，而該緩衝氧化矽蝕刻液對該第二氧化層的蝕刻速率係800埃/分。

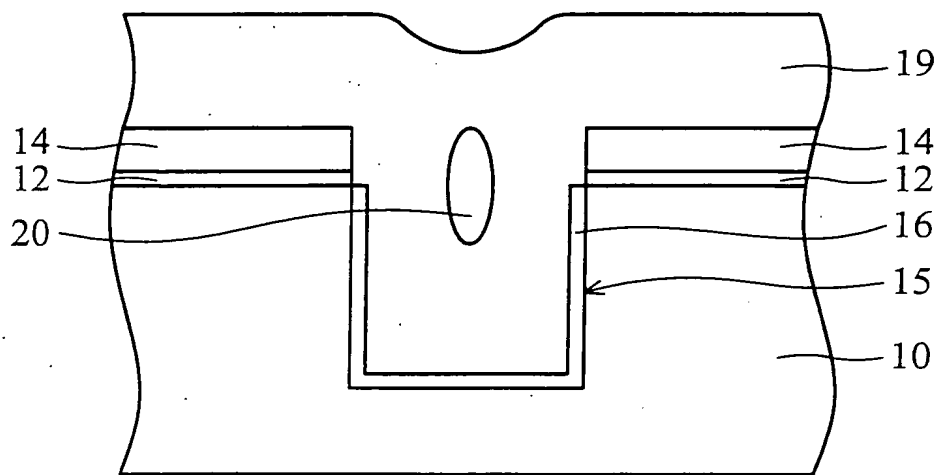




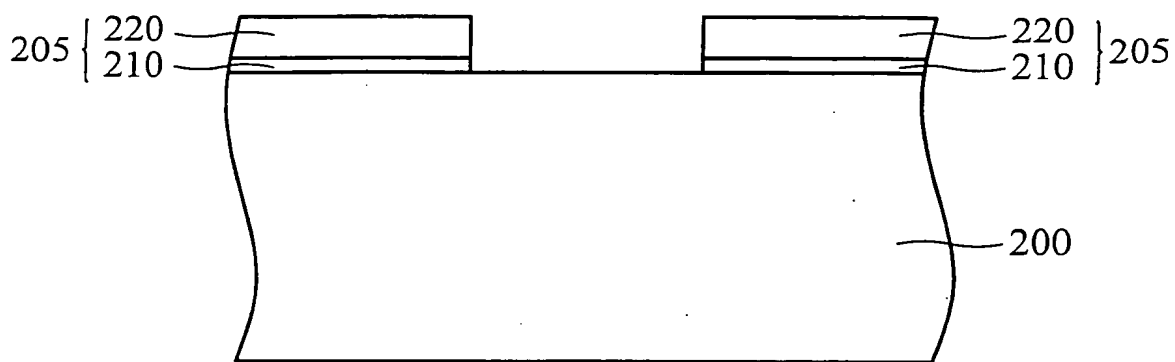
第 1A 圖



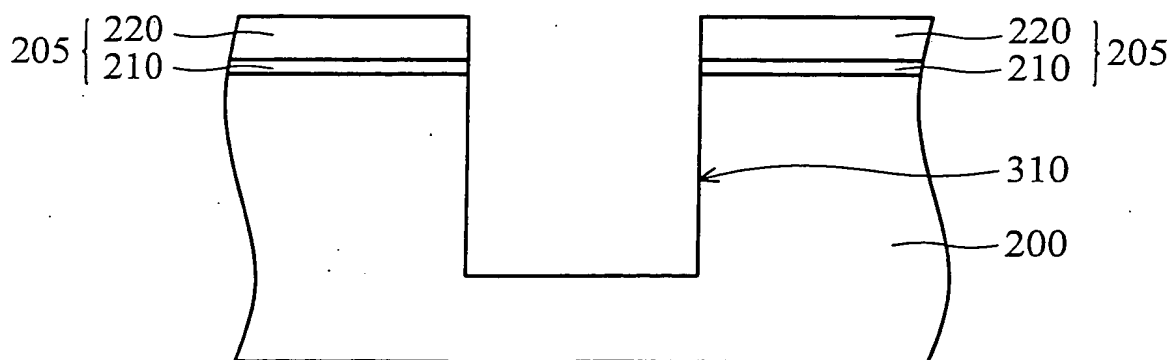
第 1B 圖



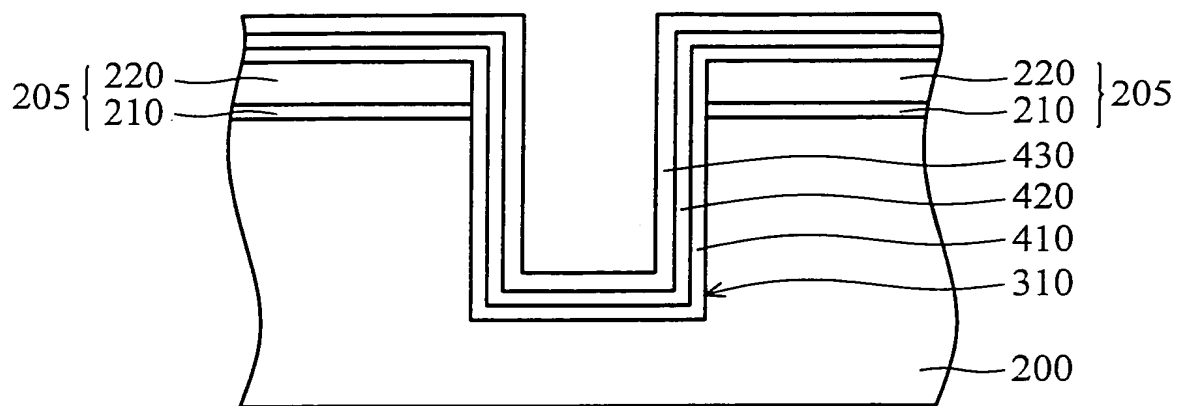
第 1C 圖



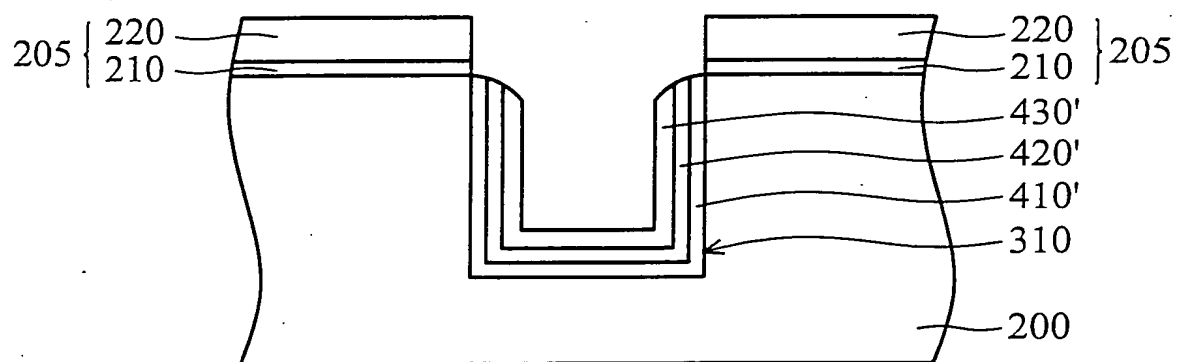
第 2 圖



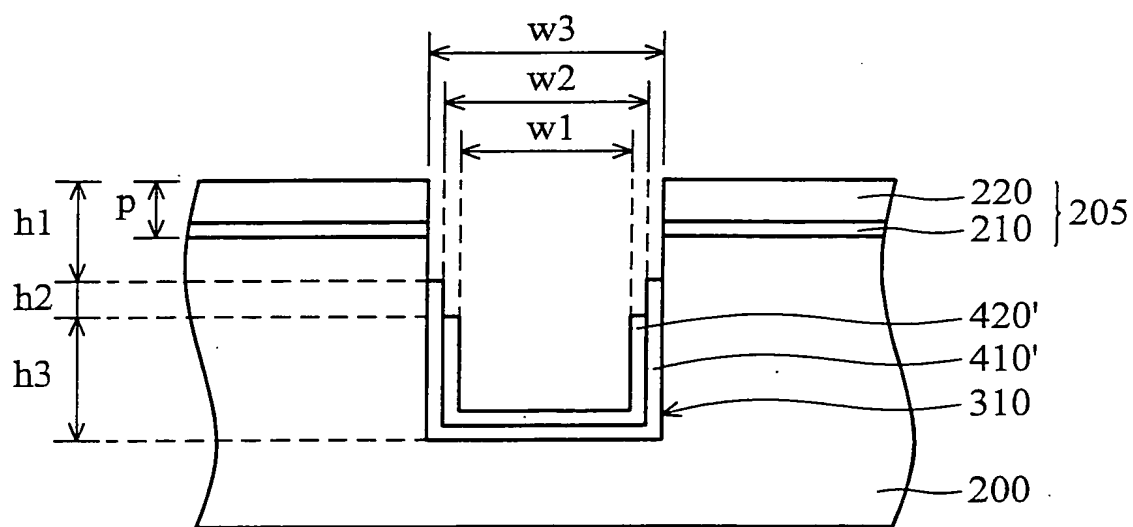
第 3 圖



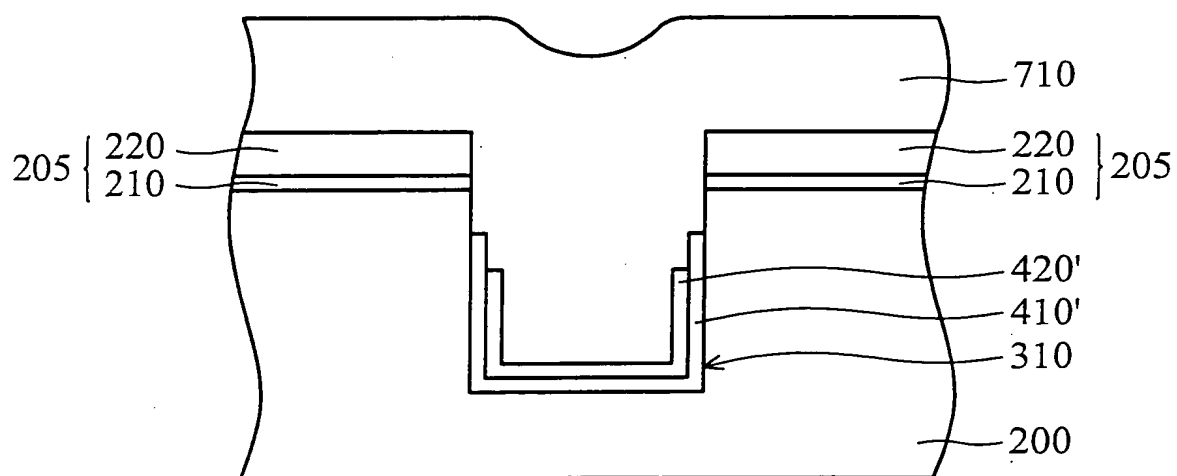
第 4 圖



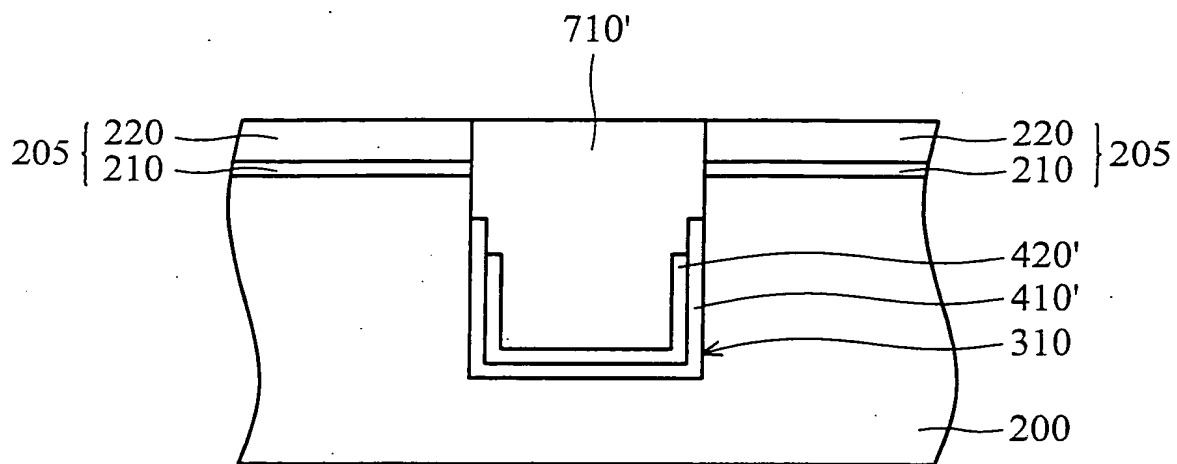
第 5 圖



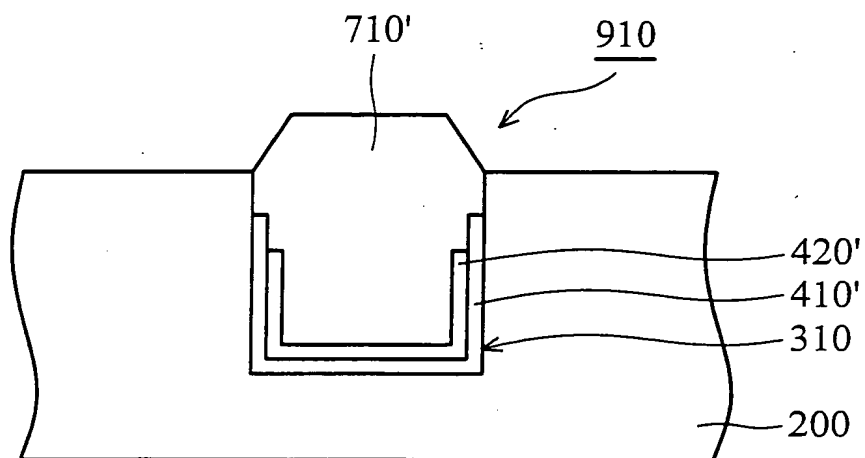
第 6 圖



第 7 圖

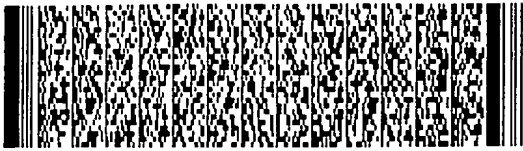


第 8 圖



第 9 圖

第 1/22 頁



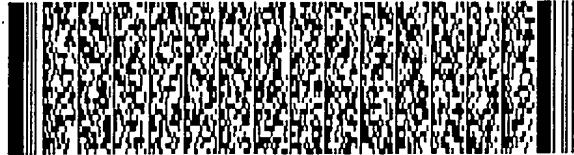
第 1/22 頁



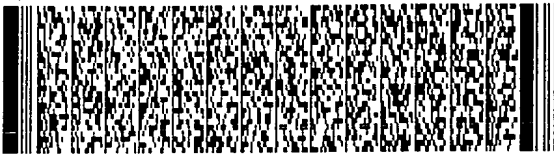
第 2/22 頁



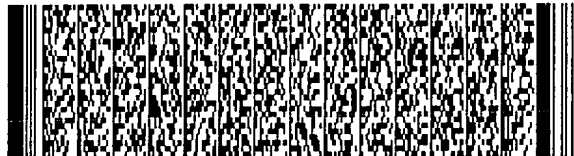
第 3/22 頁



第 3/22 頁



第 4/22 頁



第 5/22 頁



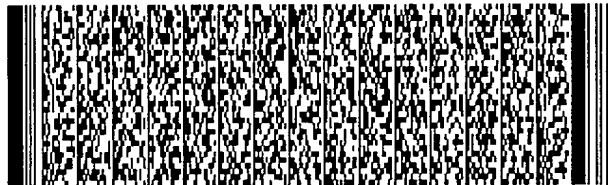
第 6/22 頁



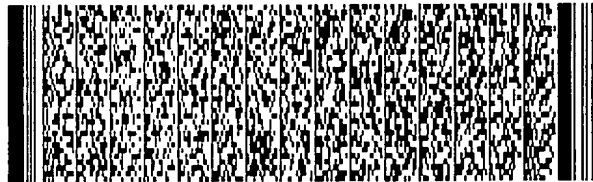
第 7/22 頁



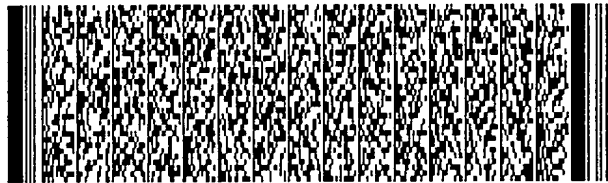
第 7/22 頁



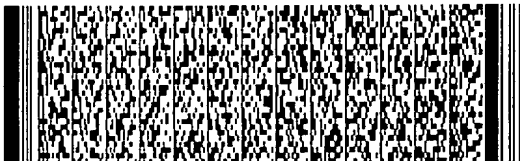
第 8/22 頁



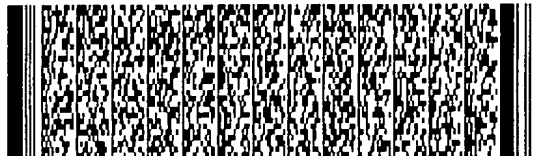
第 8/22 頁



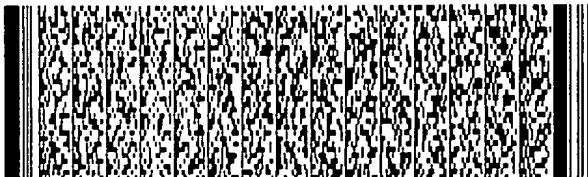
第 9/22 頁



第 9/22 頁



第 10/22 頁



第 10/22 頁

